

SOMMAIRE

1) CARACTERISTIQUES PRINCIPALES D'UNE PORTE LOGIQUE.	page 2
1.1) TEMPS DE RETARD D'UNE PORTE	page 2
1.2) FREQUENCE D'HORLOGE MAXIMALE	page 2
1.3) TEMPS DE MONTEE ET DE DESCENTE	page 2
1.4) AUTRES PARAMETRES DYNAMIQUES DE COMMUTATION	page 2
1.5) NIVEAU DE FONCTIONNEMENT	page 3
1.6) PUISSANCE CONSOMMEE	page 4
1.7) IMMUNITE AU BRUIT	page 4
1.8) SORTANCE	page 4
2) LES DIFFERENTS TYPES DE SORTIE.	page 5
2.1) SORTIE TOTEM-POLE	
2.2) SORTIE A COLLECTEUR OUVERT (FAMILLE TTL) OU DRAIN OUVERT (FAMILLE CMOS)	page 5
2.3) SORTIE TROIS ETATS	page 5
3) LES FAMILLES LOGIQUES	page 6
3.1) CODE DE DESIGNATION	page 6
3.2) LA FAMILLE TTL	page 6
3.3) LA FAMILLE MOS	page 8
3.4) FAMILLES HYBRIDES	page 9
4) COMPATIBILITE D'ASSOCIATION DES CIRCUITS TTL ET MOS.	page 10
4.1) MISE EN EVIDENCE	page 10
4.2) ASSOCIATION D'UN CI TTL AVEC UN CI MOS.	page 11
4.3) ASSOCIATION D'UN CI MOS AVEC UN CI. TTL (LORSQUE $VDD \neq VCC$)	page 11
5) PRECAUTION D'EMPLOI	page 11
5.1) TENSION D'ALIMENTATION	page 11
5.2) CONSEILS D'UTILISATION	page 12
5.3) CHOIX D'UNE FAMILLE LOGIQUE	page 12
6) TABLEAU COMPARATIF DES CARACTERISTIQUES DES SERIES TTL, CMOS ET HYBRIDE	page 13

La conception de circuits numériques rend indispensable la connaissance des différentes familles de circuits.

La technologie des circuits intégrés a beaucoup évolué depuis ses débuts. Dans un circuit intégré, il y a essentiellement des diodes et des transistors (jonction PN). Ces composants sont actifs, ils nécessitent donc une alimentation pour fonctionner.

Il existe plusieurs techniques d'intégration : (n : nombre de transistors et diodes dans la puce)

SSI :	Small Scale Intégration	n < 10
MSI :	Medium Scale Intégration	10 < n < 100
LSI :	Large Scale Integration	100 < n < 1 000
VLSI :	Very large Scale intégration	n > 10 000

On appelle famille logique un ensemble de circuits logiques fabriqués suivant la même technique de construction. Il existe deux catégories de familles de circuits logiques. Les familles TTL qui utilisent des transistors bipolaires et les familles MOS qui utilisent des transistors MOS.

1) CARACTERISTIQUES PRINCIPALES D'UNE PORTE LOGIQUE.

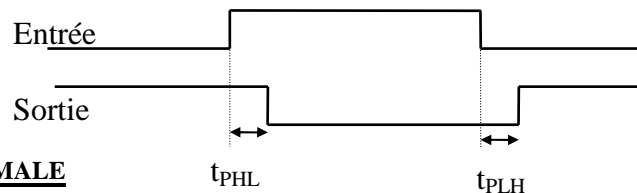
1.1) TEMPS DE RETARD D'UNE PORTE

Un signal logique qui traverse un circuit subit toujours un retard.

t_{PLH} : Temps de retard pour passer du niveau logique 0 au niveau logique 1.

t_{PHL} : Temps de retard pour passer du niveau logique 1 au niveau logique 0.

Temps de retard d'un inverseur :



1.2) FREQUENCE D'HORLOGE MAXIMALE

f_{MAX} correspond à la fréquence maximale de l'horloge. Ce signal doit avoir un rapport cyclique de 50%.

$$f_{MAX} \leq \frac{1}{t_{PLH} + t_{PHL}}$$

1.3) TEMPS DE MONTEE ET DE DESCENTE

Les temps de montée t_r ou de descente t_f de l'horloge sont mesurés entre 10% et 90% de l'amplitude du signal.

1.4) AUTRES PARAMETRES DYNAMIQUES DE COMMUTATION

t_W : **Largeur de l'impulsion.** Temps compris entre V_M du front montant et v_M du front descendant.

t_h : **Temps de maintien.** Temps pendant lequel la donnée doit être présente après l'impulsion de commande V_M

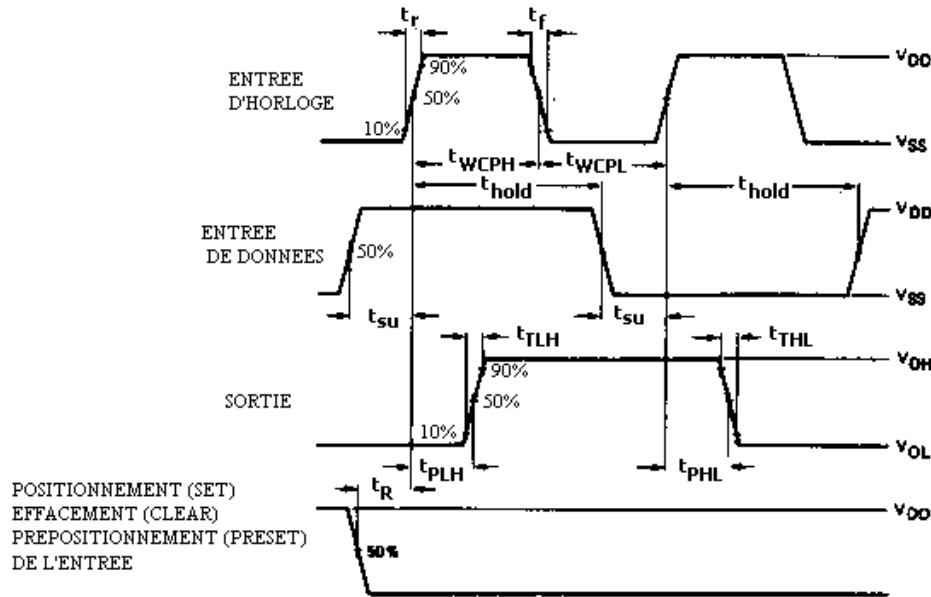
t_{su} : **Temps de prépositionnement.** Temps pendant lequel la donnée doit être présente pour être prise en compte par l'impulsion de commande V_M

t_{PHZ} : **Temps d'invalidation** de sortie 3 états de l'état haut à l'état haute impédance après l'impulsion de commande.

t_{PLZ} : **Temps d'invalidation** de sortie 3 états de l'état bas à l'état haute impédance après l'impulsion de commande.

t_{PZH} : **Temps de validation** de sortie 3 états de l'état haute impédance à l'état haut après l'impulsion de commande.

t_{PZL} : **Temps de validation** de sortie 3 états de l'état haute impédance à l'état bas après l'impulsion de commande.

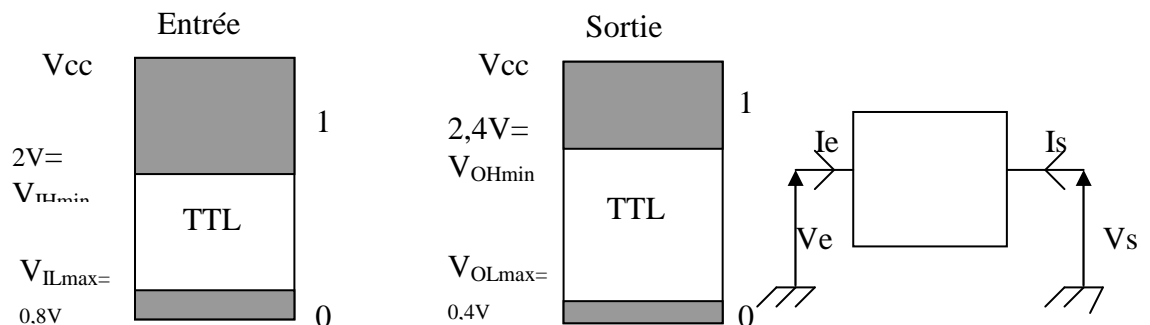


1.5) NIVEAU DE FONCTIONNEMENT

Le constructeur définit des minima et des maxima pour les niveaux des signaux 1 et 0 entrant et sortant.

- $V_{IH\ min}$:** Tension d'entrée niveau Haut. C'est le niveau de tension nécessaire pour avoir un 1 logique en entrée. Toute tension inférieure à ce niveau n'est pas considérée comme un état Haut par le circuit logique.
- $V_{IL\ max}$:** Tension d'entrée niveau Bas. C'est le niveau de tension nécessaire pour avoir un 0 logique en entrée. Toute tension Supérieure à ce niveau n'est pas considérée comme un état Bas par le circuit logique.
- $V_{OH\ min}$:** Tension de sortie niveau Haut. C'est le niveau de tension minimale correspondant à un 1 logique en sortie que délivrera le circuit logique.
- $V_{OL\ max}$:** Tension de sortie niveau Bas. C'est le niveau de tension maximale correspondant à un 0 logique en sortie que délivrera le circuit logique.
- I_{IH} :** Courant d'entrée niveau Haut. C'est le courant qui traverse une borne d'entrée quand une tension niveau Haut est appliquée à cette entrée.
- I_{IL} :** Courant d'entrée niveau Bas. C'est le courant qui traverse une borne d'entrée quand une tension niveau Bas est appliquée à cette entrée.
- I_{OH} :** Courant de sortie niveau Haut. C'est le courant qui traverse une borne de sortie placée au niveau logique 1 dans des conditions de charge spécifiées.
- I_{OL} :** Courant de sortie niveau Bas. C'est le courant qui traverse une borne de sortie placée au niveau logique 0 dans des conditions de charge spécifiées.

Exemple des niveaux de tension en entrée et sortie d'une porte TTL.



1.6) PUISSANCE CONSOMMEE

Lors d'un changement d'état de la sortie d'une porte, la puissance consommée augmente. Ceci est dû à la charge et à la décharge des capacités réparties. La puissance consommée par porte est donc proportionnelle à la fréquence du signal d'entrée :

$$P_D = C_T \times V_{CC}^2 \times f_h$$

P_D : Puissance consommée

C_T : Capacité totale

V_{CC} : tension d'alimentation

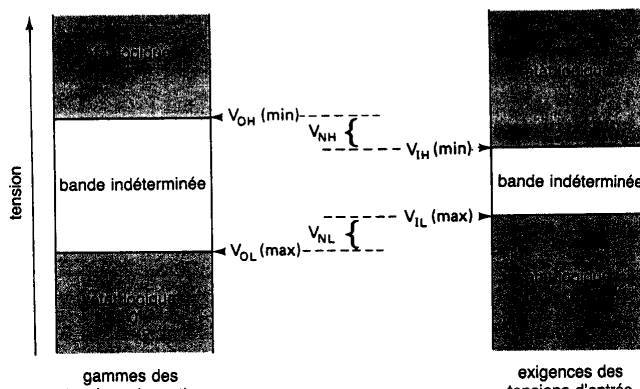
f_h : Fréquence d'horloge

1.7) IMMUNITE AU BRUIT

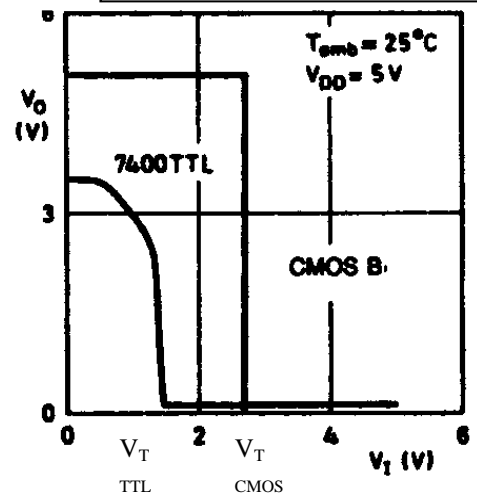
Les champs électriques et magnétiques parasites peuvent induire des tensions dans les fils de raccordements des circuits logiques. Ces tensions se répercutent à la fois sur les signaux d'entrée et les signaux de sortie des portes. Ces signaux indésirables sont appelés Bruits et peuvent perturber le fonctionnement normal. L'immunité aux bruits d'un circuit logique définit l'aptitude d'un circuit à tolérer des tensions parasites sur ses entrées.

La marge de sensibilité aux bruits s'illustre de la façon suivante :

FIGURE 8-4 Marges de sensibilité aux bruits CC.



Remarque : un paramètre important est la tension de basculement des circuit apelée **tension de seuil** V_T .



Marge de bruit à l'état Haut : $M_{BH} = V_{NH} = V_{OHmin} - V_{IHmin}$

Marge de bruit à l'état Bas : $M_{BL} = V_{NL} = V_{ILmax} - V_{OLmax}$

Immunité aux bruits état Haut : $IB_H = V_{OHmin} - V_T$

Immunité aux bruits état Bas : $IB_L = V_T - V_{OLmax}$

1.8) SORTANCE

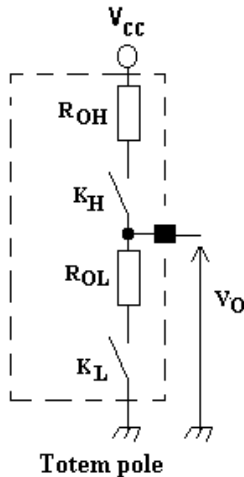
La sortie d'un CI doit normalement piloter plusieurs entrées logiques. La sortance est définie comme le nombre maximal d'entrées logiques standard qui peuvent être pilotées sans perturber la tension logique de sortie. Si le nombre d'entrées est supérieure à la sortance il n'est pas assuré que les tensions des niveaux logiques des sorties seront exactes.

$$S = MIN(S_{BAS}, S_{HAUT})$$

2) LES DIFFERENTS TYPES DE SORTIE.

2.1) SORTIE TOTEM-POLE

Ces circuit possèdent un amplificateur de sortie (montage de 2 transistors en « **totem pôle** »). La présence de ces tampons permet d'améliorer l'immunité du bruit statique. La mise en forme des impulsions est favorisée par le fait que les changements de niveau de la sortie sont pratiquement indépendants des temps de montée et de descente de l'entrée.



Etat Haut : K_H fermé, K_L ouvert

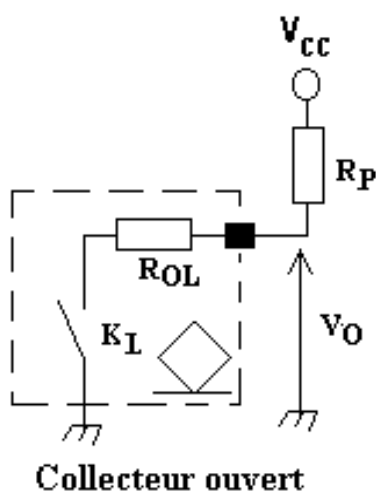
Etat Bas : K_H ouvert, K_L fermé

Remarque : Il est interdit de brancher deux sorties en parallèle

2.2) SORTIE A COLLECTEUR OUVERT (FAMILLE TTL) OU DRAIN OUVERT (FAMILLE CMOS)

Il existe peu de circuits à drain ouvert.

Ce type de sortie permet d'avoir une tension de sortie différente de la tension d'alimentation du boîtier et d'obtenir des courants de sortie importants. Il y a en sortie de ces circuits un transistor dont le collecteur est uniquement relié à la sortie du boîtier.



En sortie de ce type de boîtier il faut toujours utiliser une résistance R_p reliée à une alimentation.

L'avantage est d'obtenir des niveaux différents de la tension d'alimentation des boîtiers en sortie et des courants importants.

L'inconvénient est de dimensionner correctement la résistance de rappel. R_p doit être grande afin de ne pas dépasser I_{OLmax} , toutefois R_p ne doit pas être trop élevée pour avoir des temps de commutation faibles (charge et décharge des capacités en sortie).

Ces circuits permettent une adaptation entre les différentes technologies.

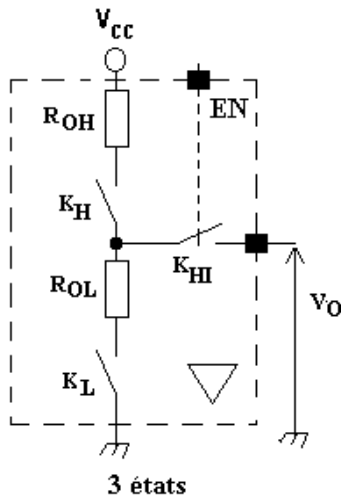
Le symbole normalisé d'un boîtier à collecteur ouvert est



2.3) SORTIE TROIS ETATS

Dans une porte classique, il y a en sortie deux transistors selon le montage « totem pôle » (voir schéma § 2.1).

Dans le cas d'une porte trois états, il est possible grâce à une entrée de validation (EN) de déconnecter la patte de sortie du réseau de transistors. On dispose alors de trois états en sortie.



Etat Haut : K_H fermé, K_L ouvert (K_{HI} fermé)

Etat Bas : K_H ouvert, K_L fermé (K_{HI} fermé)

Etat 3 ou Etat haute impédance: K_{HI} ouvert.

Le courant de charge est alors négligeable, il réduit le courant de fuite des transistors.

Avantages : Il est possible de réunir plusieurs sorties. En sélectionnant un seul boîtier à la fois, le circuit fonctionne comme un « totem pole » classique (basse impédance et vitesse de commutation élevée).

Le symbole normalisé d'un boîtier à collecteur ouvert est :



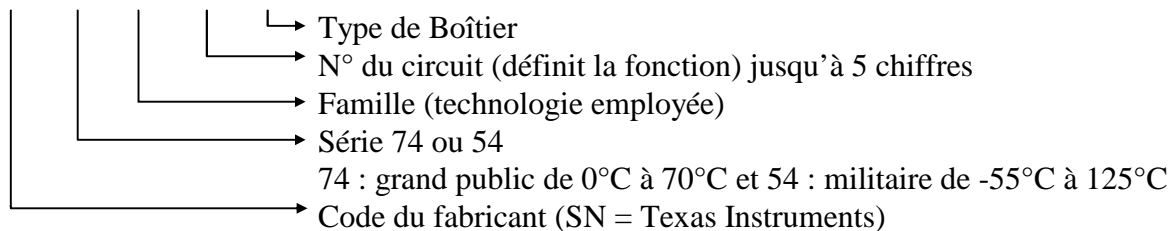
3) LES FAMILLES LOGIQUES

3.1) CODE DE DESIGNATION

Il existe deux catégories de familles de circuits logiques. Les familles qui utilisent des transistors bipolaires (TTL, ECL) et les familles qui utilisent des transistors MOS (PMOS, NMOS, CMOS).

Un code de désignation permet d'identifier chaque boîtier.

SN 74 LS 32 N



Dans l'exemple précédent il s'agit de :

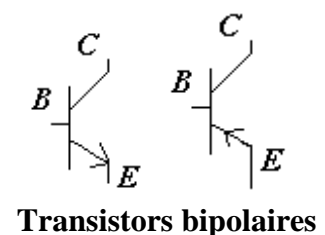
- SN : fabricant Texas
- 74 : Série grand public de 0°C à 70°C
- LS : Famille TTL Low power Schottky
- 32 : Quadruple porte OU à deux entrées
- N : Boîtier DIL 14

3.2) LA FAMILLE TTL

La technique d'intégration des circuits TTL est du type SSI ou MSI.

Il existe 7 sous-familles TTL (Transistor Transistor Logique) : Logique à Transistor Bipolaire:

TTL Standard	74 xx
TTL Low Power	74 L xx
TTL Fast	74 H xx
TTL Schottky	74 S xx
TTL Low Power Schottky	74 LS xx
TTL Advanced Schottky	74 AS xx
TTL Advanced Low power Schottky	74 ALS xx

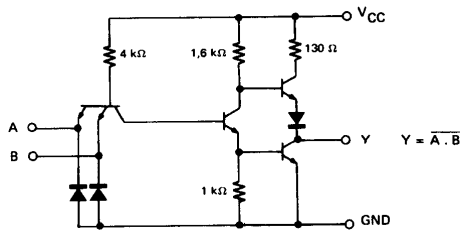


En technologie TTL l'entrée du circuit est équivalente à un transistor bipolaire possédant plusieurs Emetteurs (jusqu'à 8 Emetteurs). Chaque entrée est reliée a un émetteur.

En sortie on trouve deux transistors suivant le montage totem-pole. Lorsque l'un de ces transistors est passant, l'autre est bloqué et vice-versa.

Tous les circuits TTL s'alimentent avec $V_{CC} = 5V \pm 5\%$

Un compromis vitesse-consommation est à rechercher parmi les différents sous familles



Une entrée en l'air est équivalente à un niveau « 1 »

TTL Standard

C'est la première famille de CI à avoir vue le jour, c'était en 1964.

Ces CI offre un bon compromis entre vitesse et consommation convenant ainsi à de nombreuses applications. Il est obsolète mais reste le circuit de référence pour les comparaisons de performance.

TTL Low Power 74 L xx

Ce sont les mêmes circuits que ceux de la série standard sauf pour ce qui est des résistances qui sont toutes plus élevées donc la consommation en courant est plus faible ($U=R \cdot I$). L'inconvénient est qu'en réduisant la consommation, les temps de commutation augmentent ($\tau = R \times C$).

La série 74 L est périmée depuis l'arrivée de la série 74 LS.

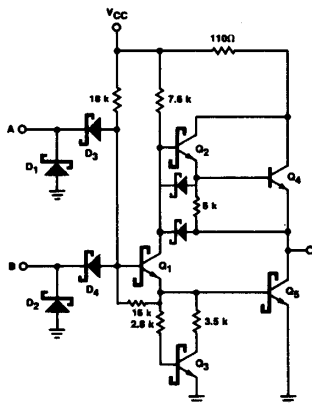
TTL Fast 74 H xx

Famille de circuits rapides. Les circuits sont à peu près les même que ceux de la série standard, les résistances sont de plus faibles valeur et en sortie un des transistors est remplacé par un montage Darlington. La vitesse de commutation est plus rapide et les temps de propagation sont faibles. Toutefois la consommation de ce type de circuits est importante ($P_d = 23mW$)

La série 74 H est périmée depuis l'arrivée de la série 74 S.

TTL Schottky 74 S xx

Les séries 74, 74L et 74H fonctionnent toutes avec des transistors qui sont en régime de saturation lorsqu'il conduisent. Le fonctionnement à saturation engendre des retards de stockage donc les vitesses de commutations sont limitées.(voir cours sur les transistors en commutation t_{on} et t_{off}). La série 74S réduit le retard de stockage en évitant la saturation complète des transistors grâce à une diode Schottky placée entre la base et le collecteur (réduction de t_{off} et baisse de la consommation de courant).



Les résistance sont de plus faibles valeur que celles de la série standard, les temps de commutation sont donc améliorés Les deux transistors de sortie sont remplacés par des montages Darlington pour obtenir un temps de montée plus rapide au moment de la commutation de l'état conducteur à état bloqué.

Les 74S sont deux fois plus rapides que les 74H pour à peu près la même consommation.

TTL Low Power Schottky 74 LS xx

Même technologie que la série 74S mais les résistances sont de plus grandes valeurs donc la consommation est plus faible mais les temps de commutations sont plus élevés.

TTL Advanced Schottky 74 AS xx

Nouvelle série, la série 74AS fonctionne plus rapidement que la série S et les besoins en courants d'entrées sont relativement faibles, ce qui traduit une sortie accrue. C'est la série utilisée dans toutes les applications rapides.

TTL Advanced Low power Schottky 74 ALS xx

Nouvelle série, la série 74ALS est une version plus perfectionnée que la série 74AS, bien supérieure en vitesse et en consommation.

3.3) LA FAMILLE CMOS

Les CI en technologie MOS (Metal Oxyde Semiconducteur) sont réalisés à partir de transistors MOS.

Comparée à la technologie TTL cette technologie est plus lente, consomme moins d'énergie, a une marge de sensibilité aux bruits plus large, fonctionne sous une gamme de tensions d'alimentations plus grande, a une sortie plus élevée et une densité d'intégration plus importante. Néanmoins la technologie TTL est plus rapide.

En technologie MOS il existe 2 sous-familles différentes :

4XXX CMOS Classiques
74Cxx (technologie identique à la série 4000)

Chaque entrée est reliée à la grille d'un transistor MOS. Les sorties sont du type totem-pole, drain ouvert ou trois états. Les sorties CMOS ne doivent jamais être connectées ensemble car lorsque les sorties sont à des états différents le signal en sortie est de $V_{cc}/2$.

On peut classer les CI MOS en trois catégories :

NMOS : Constitué uniquement de transistors MOS à enrichissement canal N.

PMOS : Constitué uniquement de transistors MOS à enrichissement canal P.

CMOS : Constitué de transistors MOS à enrichissement canal N et à enrichissement canal P.

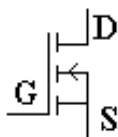
A cause de leurs différences physiques et de leur principe de fonctionnement les NMOS ont une densité d'intégration deux fois supérieure à celle des PMOS et ils sont plus rapides (les électrons se déplacent plus vite que les trous!! voir cours transistors MOS).

Les PMOS et les NMOS sont utilisés dans des dispositifs LSI VLSI et les CMOS dans les dispositifs MSI

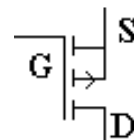
Rappel sur le fonctionnement du transistor MOS

	Polarisation Drain Source	Tension VGS assurant la conduction	R Ouvert (entre D et S)	R Fermé (entre D et S)
Canal P	Négatif	Négatif $< V_s$	$10^{10}\Omega$	1000Ω
Canal N	Positif	Positive $> V_s$	$10^{10}\Omega$	1000Ω

MOSFET canal N



MOSFET canal P



Alimentation des familles CMOS

En technologie CMOS, on distingue trois tensions d'alimentation

V_{DD} = tension positive V_{EE} = tension négative $V_{SS} = 0V$

Les valeurs limites de la tension d'alimentation sont telles que $3V \leq V_{DD} - V_{EE} \leq 18V$

Niveaux d'entrée et de sortie

$$V_{IH \min} = \frac{2}{3} \times (V_{DD} - V_{EE}) + V_{EE}$$

$$V_{IL \max} = \frac{1}{3} \times (V_{DD} - V_{EE}) + V_{EE}$$

$$I_O \approx 1mA$$

$$I_I \approx 0$$

$$V_{OH \min} = V_{DD} - 0,05 V$$

$$V_{OL \max} = V_{EE} + 0,05 V$$

Temps de transition

Il est donné par la formule approximative à $V_{DD} = 5V$: $t_{TLH} = t_{THL} = 10ns + (10ns / pF) \times C_L$

C_L est la capacité connectée en sortie (capacité équivalente des entrées connectées sur la sortie) : on se limite donc à 50 portes sur la même sortie ($S = 50$)

Ces temps diminuent quand l'alimentation augmente.

CMOS Classiques 4XXX et 74Cxx (technologie identique à la série 4000)

La première série de CI MOS à avoir vue le jour est la série 4000.

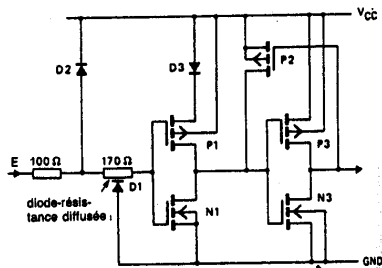
La série 74C est compatible avec les TTL de même numéro (même brochage et niveau compatible).

Les circuits 4000 et 74C peuvent fonctionner avec une tension comprise entre 3V et 18V.

sensibilité à l'électricité statique

Par exemple : une personne qui marche sur un tapis accumule des charges statiques. Son potentiel peut atteindre 30 000V. Au contact avec un dispositif électronique une partie des charges vont se transférer de la personne au dispositif. Le dispositif risque la destruction.

La famille MOS est particulièrement vulnérable à une destruction d'origine électrostatique. L'impédance d'entrée d'un transistor MOS est très grande, une décharge électrostatique même faible donne lieu à une tension très forte et destructrice ($U=R \cdot I$).



Ainsi toutes les entrées MOS sont protégées par un ensemble de résistance et de diodes. les **entrées CMOS** ne doivent jamais être **laissées non branchées**. Elles doivent être raccordées à une tension fixe 0V ou Vdd

3.4) FAMILLES HYBRIDES

Ces familles intègrent des transistors bipolaires et des transistors CMOS.

Elles réunissent les qualités des deux technologies :

- Rapidité de la TTL
- Faible consommation de la CMOS

CMOS RAPIDES 74HCxx et 74HCTxx

Version améliorée de la série 74C, la vitesse de commutation est dix fois plus grande. Comparable à la série TTL 74LS

La série HCT à des niveaux de tension d'entrée compatible avec les TTL (0,8V et 2V)

La série HC à des niveaux de tension d'entrée compatible avec les CMOS (1,35V et 3,35V)

74HC : alimentation de 2V à 6V

74HCT : alimentation 5V à ±10%

CMOS Advanced 74AC11xx et 74ACT11xx

avantages : rapidité de fonctionnement, consommation pratiquement nulle, sortance importante.

Ces circuits sont compatibles avec les CMOS et les TTL.

Afin d'obtenir une plus grande rapidité et des fronts plus raides le brochage a été adapté, il y a plusieurs broches Vcc et GND au milieu des boîtiers. Les boîtiers sont plus volumineux.

Les boîtiers ont la même numérotation que les TTL

CMOS Low Voltage 74LVxx et 74LVCxx

Pour reculer les limites de l'intégration qui sont liées à la tension de claquage (pour $V_{DD}=5V$ la taille des pistes est de 5µm), les séries LV et LVC utilisent des tensions d'alimentation comprises entre 1V et 3.6V (LV) et entre 1,2V et 3.6V (LVC) la taille des pistes est de 3µm.

Avantages : très haute intégration, fonctionne sous piles ou accumulateur (appareil portable), plus économique (boîtier plastique au lieu de céramique).

Toutes les fonctions ne sont pas disponibles, ces circuits sont plus lents. La puissance disponible en sortie est faible.

4) COMPATIBILITE D'ASSOCIATION DES CIRCUITS TTL ET MOS.

4.1) MISE EN EVIDENCE

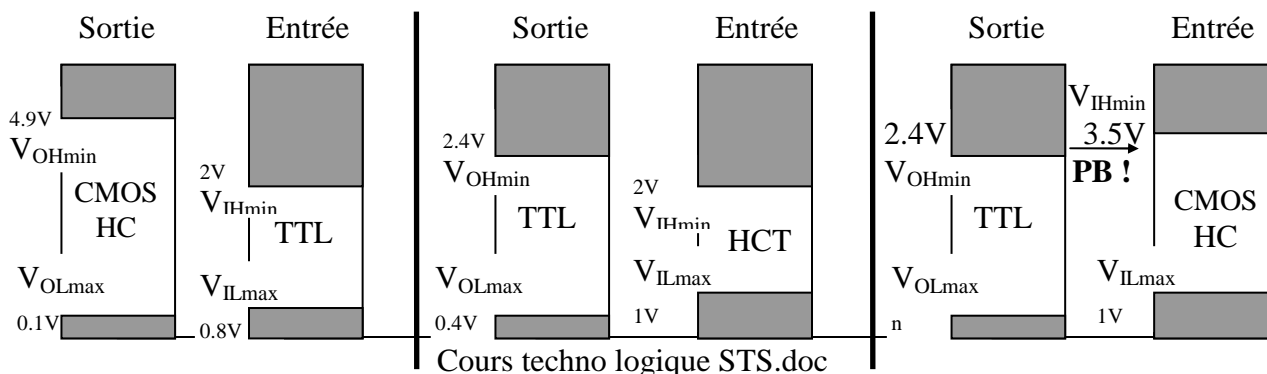
Il est nécessaire de prendre certaines précautions lors de l'association de CI de familles différentes. Les niveaux des tensions d'entrée et de sortie pour les états Haut et Bas doivent être compatibles pour assurer correctement le changement d'état du circuit commandé. Il faut s'assurer que V_{OH} du circuit amont correspond à V_{IH} du circuit commandé ainsi que V_{OL} à V_{IL} .

A l'état haut, la tension minimale de sortie V_{OH} , doit être **supérieure ou égale** à la tension minimale d'entrée V_{IH} du circuit de commande.

A l'état bas, la tension maximale de sortie V_{OL} , doit être **inférieure ou égale** à la tension maximale d'entrée V_{IL} du circuit de commande.

Les familles compatibles sont donc : CMOS-HC vers TTL TTL vers HCT

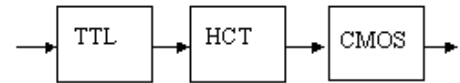
Les familles non compatibles sont donc : TTL vers CMOS-HC
 CMOS(lorsque $V_{DD} \neq V_{CC}$) vers TTL



4.2) ASSOCIATION D'UN CI TTL AVEC UN CI MOS.

Utilisation d'un circuit HCT

Le circuit HCT est compatible avec les circuits TTL, HC et MOS. Il peut servir d'interface pour adapter les niveaux. Il suffit de remplacer le circuit TTL ou MOS par un circuit HCT ou encore d'en utiliser un comme interface.

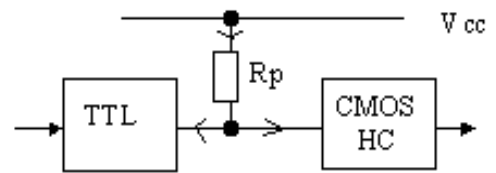


Utilisation d'une résistance de rappel

$$R_{p \min} = \frac{V_{CC \text{ MAX}} - V_{IL \text{ MAX}}(HC)}{I_{OL \text{ MAX}}(TTL) - n \times I_{IL \text{ MAX}}(HC)} \approx \frac{V_{CC}}{I_{OL \text{ MAX}}(TTL)} = 500\Omega$$

$$R_{p \max} = \frac{V_{CC \text{ MAX}} - V_{IH \text{ MIN}}(HC)}{n \times I_{IH \text{ MAX}}(HC)} \approx 1M\Omega \text{ (pour } n=1)$$

n: Nombre de charges HC ou CMOS

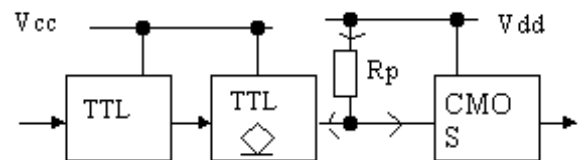


Une trop grande résistance risque de perturber le temps de propagation du signal. On prendra $R_p = 10 \text{ k}$ valeur qui sera satisfaisante pour le temps de propagation et pour la puissance dissipée.

Utilisation d'un circuit à collecteur ouvert

Le circuit à collecteur ouvert permet d'avoir une tension différente de Vcc pour l'alimentation du circuit de commande.

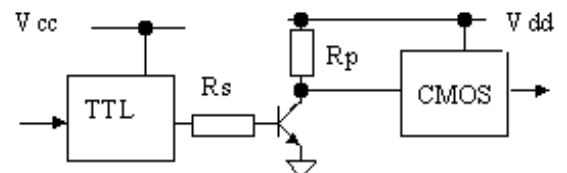
Circuits dans la série 74 : 07 - 17 ou inverseurs 05 - 06 - 16 .



Utilisation d'un transistor

Les deux tensions d'alimentation peuvent être différentes. Le montage présenté est un inverseur.

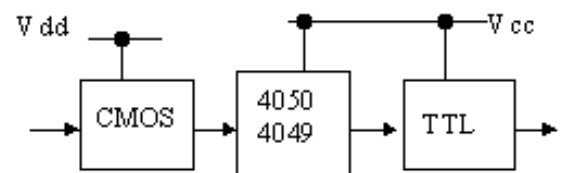
Attention $V_{DD} = 3V$, la tension d'entrée au niveau bas V_{IL} est inférieure à 1V et au niveau de V_{IH} inférieure à 2V. Le transistor et la résistance devront être soigneusement choisis.



4.3) ASSOCIATION D'UN CI MOS AVEC UN CI. TTL (LORSQUE VDD ≠ VCC)

Utilisation de portes 4050 et des inverseurs 4049

Ces deux circuits s'utilisent pour adapter un niveau de tension compatible CMOS (3V à 15V) à la tension Vcc pour un circuit TTL.



5) PRECAUTION D'EMPLOI

5.1) TENSION D'ALIMENTATION

Pour éviter les perturbations de fonctionnement dues aux pointes de tension des alimentations, afin de ne pas perturber ou endommager le montage, il est nécessaire de découpler l'alimentation avec des condensateurs de 100nF pour 4 à 6 boîtiers TTL std ou LS, ou pour 2

à 3 boîtiers S, ou avec un condensateur de 100nF pour chaque boîtier dans les autres technologies.

5.2) CONSEILS D'UTILISATION

Couper l'alimentation avant toute manipulation des boîtiers montés sur un câblage imprimé. Protéger les CMOS de l'électricité statique

Les circuits d'alimentation doivent avoir une largeur minimale de 2.5mm afin de réduire les chutes de tension.

Pour éviter que des signaux parasites perturbent le fonctionnement du circuit par les entrées inutilisées, il ne faut pas laisser d'entrée en l'air. Il est préférable de les relier sur une entrée utilisée ou sur un niveau logique stable.

5.3) CHOIX D'UNE FAMILLE LOGIQUE

Facteurs à considérer :

- Vitesse.
- Consommation
- Source d'alimentation
- Prix des circuits logiques.
- L'immunité aux bruits
- La compatibilité avec les autres CI utilisés.
- La gamme de température.

6) TABLEAU COMPARATIF DES CARACTERISTIQUES DES SERIES TTL, CMOS ET HYBRIDE

Dans le cas d'une porte ET NON

Valeurs nominales de performances	74	74L	74S	74LS	74AS	74ALS	74HC	74HC T	CMOS
Retard de propagation (ns)	10	33	3	4	1,7	4	6	6	100
Consommation (mW)	10	1	20	1,2	8	1,2	23 μ W	23 μ W	10 nW
Produit en pJ vitesse \times consommation	100	33	60	4,8	13,6	4,8	0,138	0,138	10 ⁻³
Paramètre de tension	5V	5V	5V	5V	5V	5V	5V	5V	5V
$V_{OH\ MIN}$ en V	2,4	2,4	2,7	2,7	Vcc-2	Vcc-2	4	4	4,95
$V_{OL\ MAX}$ en V	0,4	0,4	0,5	0,5	0,5	0,5	0,26	0,26	0,05
$V_{IH\ MIN}$ en V	2	2	2	2	2	2	3,5	2	3,3
$V_{IL\ MAX}$ en V	0,8	0,7	0,8	0,7	0,8	0,8	1	0,8	1,6
$I_{OH\ max}$ en μ A	-400	-200	-1000	-400	-2000	-400	4mA	4mA	-1mA
$I_{OL\ max}$ en mA	16	3,6	20	8	20	8	4mA	4mA	1mA
$I_{IH\ max}$ en μ A	40	-10	50	20	20	20	1	1	0,1 \approx 0
$I_{IL\ max}$ en mA	-1,6	0,18	-2	-0,4	-0,5	-0,2	1	1	0,1 \approx 0
Sortance (même série)	10	20	10	20	40	20	50(∞)	50(∞)	50(∞)
Sortance en UL	10	2	12	5	12	5	3	3	0

EXERCICES

Exemple :

Donner la signification de : SN 74 ALS 10 N

Marge de sensibilité aux bruits

Pour un circuit TTL standard :

Paramètre	Min (V)	Tension type (V)	Max (V)
V_{OH}	2,4	3,6	
V_{OL}		0,2	0,4
V_{IH}	2,0		
V_{IL}			0,8

1) Quelle est l'amplitude maximale du signal parasite qui est tolérable quand une sortie au niveau Haut pilote une entrée.

2) Quelle est l'amplitude maximale du signal parasite qui est tolérable quand une sortie au niveau Bas pilote une entrée.

1) Marge de sensibilité aux bruits état Haut : $V_{NH} = V_{OHmin} - V_{ILmin} = 2.4 - 2 = 0.4V$

L'amplitude du signal parasite ne doit pas dépasser 0.4V

2) Marge de sensibilité aux bruits état Bas : $V_{NL} = V_{ILmax} - V_{OLmax} = 0.8 - 0.4 = 0.4V$

L'amplitude du signal parasite ne doit pas dépasser 0.4V

En utilisant le tableau de comparaison des caractéristiques des séries TTL. Comparez les marges de sensibilité aux bruit d'un 74 et 74LS

Pour un 74 LS

1) Marge de sensibilité aux bruits état Haut : $V_{NH} = V_{OHmin} - V_{ILmin} = 2.7 - 2 = 0.7V$

L'amplitude du signal parasite ne doit pas dépasser 0.4V

2) Marge de sensibilité aux bruits état Bas : $V_{NL} = V_{ILmax} - V_{OLmax} = 0.8 - 0.5 = 0.3V$

L'amplitude du signal parasite ne doit pas dépasser 0.4V

Pour un 74

1) Marge de sensibilité aux bruits état Haut : $V_{NH} = V_{OHmin} - V_{ILmin} = 2.4 - 2 = 0.4V$

L'amplitude du signal parasite ne doit pas dépasser 0.4V

2) Marge de sensibilité aux bruits état Bas : $V_{NL} = V_{ILmax} - V_{OLmax} = 0.8 - 0.4 = 0.4V$

L'amplitude du signal parasite ne doit pas dépasser 0.4V

Sortance

Une sortie logique doit piloter plusieurs entrées logiques. La Sortance correspond au nombre maximale d'entrées logiques qui peuvent être pilotées sans problème par la sortie.