

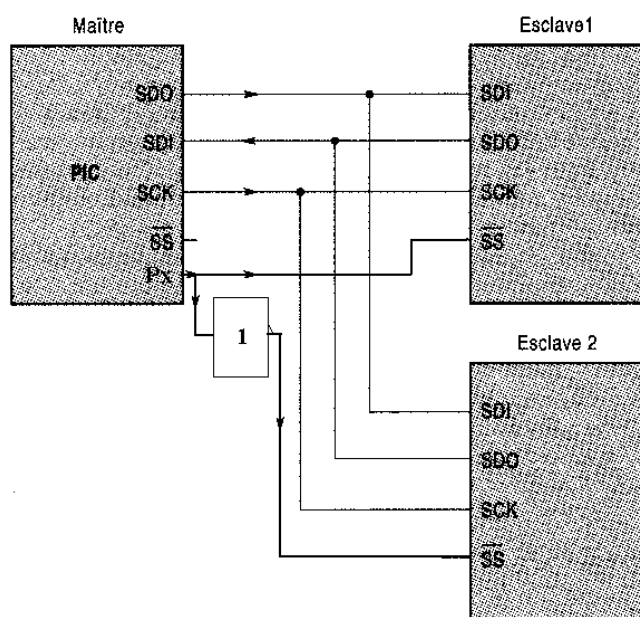
## SOMMAIRE

1 ) Principe d'une liaison ou bus SPI .....	2
2 ) Principe d'une transmission série SPI.....	3
3 ) Les bits des registres internes de contrôle du SPI .....	3
4 ) Le mode SPI MAITRE.....	4
4.1 ) Emission-Réception d'un octet par le maître .....	4
4.2 ) Emission-Réception d'un octet par l'esclave .....	5
4.3 ) Conclusion.....	5
5 ) Le mode SPI SLAVE .....	6
5.1 ) $\overline{SS}$ non obligatoire ( CKE=0) ( Mode esclave du PIC 16F876 ).....	6
5.2 ) $\overline{SS}$ obligatoire( CKE=1) .....	7
5.3 ) Remarque concernant la configuration SPI esclave de PICC .....	7
6 ) Vitesses de transmission.....	7

L'interface série synchrone ou SSP ( Synchronous Serial Port ) dont disposent de nombreux PIC peut fonctionner également en mode SPI, appelé encore bus SPI ( Serial Port Interface ) ou bus série 3 fils. En effet, un bus de ce type permet la connexion, sous forme série maître-esclave, de

- \* plusieurs micro-contrôleurs de la même famille
- \* plusieurs micro-contrôleurs de familles différentes disposant d'interfaces compatibles
- \* tous les périphériques ou mémoires munis d'une interface de ce type, appelée parfois interface série à 3 fils, bus Microwire ou tout autre sorte de nom spécifique au fabricant du circuit intégré concerné.

### 1 ) PRINCIPE D'UNE LIAISON OU BUS SPI



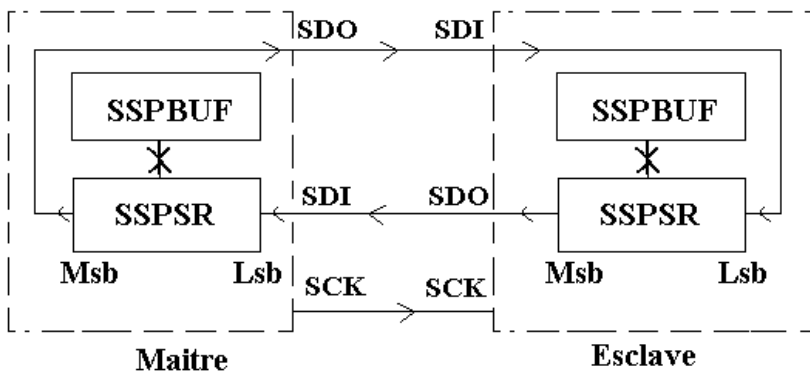
La figure ci contre présente le principe général d'interconnexion retenu. Ce schéma ne doit cependant pas être considéré comme unique. On peut en effet relier le SPI à de très nombreux autres circuits: registres à décalage, afficheurs disposant de leur propre logique, etc... Il suffit de s'assurer qu'ils sont à même de dialoguer avec l'interface ce qui est une contrainte relativement simple à satisfaire vu la souplesse de programmation permise.

Sur la figure, on y voit trois lignes « utiles » que sont SDO, SDI et SCK et une ligne de sélection de mode de fonctionnement du circuit ( maître ou esclave ) appelée  $\overline{SS}$ .

- \* La patte SDO, pour Serial Data Out, est la sortie de données séries.
- \* La patte SDI, pour Serial Data In, est l'entrée de données séries.
- \* La ligne SCK pour Serial Clock est utilisée pour synchroniser les échanges de données puisque nous sommes en mode série synchrone. Cette ligne est nécessairement une sortie sur le maître et une entrée sur le ou les esclaves.

La ligne  $\overline{SS}$  est la sélection du mode maître ou esclave. Elle est au niveau haut sur un maître et au niveau bas sur un esclave. Pour éviter toute erreur de transmission, cette ligne doit être au niveau bas sur le ou les esclaves avant toute transmission et y rester pendant toute la durée de celle-ci. En outre, il est évident qu'à un instant donné, n'importe quel circuit peut être maître et n'importe quel autre esclave, mais il ne doit y avoir qu'un maître par transaction.

## 2 ) PRINCIPE D'UNE TRANSMISSION SERIE SPI



- Cycle
- 1- L'émetteur copie SSPBUF du maître dans son SSPSR.
  - 2- Les données de sortie sont envoyées dans SSPSR du récepteur aux coups d'horloge
  - 3- Le récepteur copie SSPSR dans son SSPBUF

**Chaque envoi correspond aussi à une lecture**

## 3 ) LES BITS DES REGISTRES INTERNES DE CONTROLE DU SPI

### Registre SSPCON en mode SPI

b7 : WCOL : Write COLLision detect bit ( **Esclave** )

b6 : SSPOV : SSP receive Overflow indicator bit ( 1 = perte de l'octet reçu ) (**Esclave**)

b5 : SSPEN : SSP ENable ( 1 = module SSP en service )

**b4 : CKP : Clock Polarity select bit ( donne le niveau de l'état de repos de SCK ) :**  
**0 → niveau bas      1 → niveau haut**

b3 : SSPM3 : SSP Mode bit 3

b2 : SSPM2 : SSP Mode bit 2

b1 : SSPM1 : SSP Mode bit 1

b0 : SSPM0 : SSP Mode bit 0

SSPM0 → SSPM3 : vitesse d'horloge ( divisions de  $F_{\text{CLOCK}}$  ou du Timer2 ) si maître.  
 SSPM0 → SSPM3 : validation de l'entrée  $\overline{SS}$  si esclave

### Registre SSPSTAT en mode SPI.

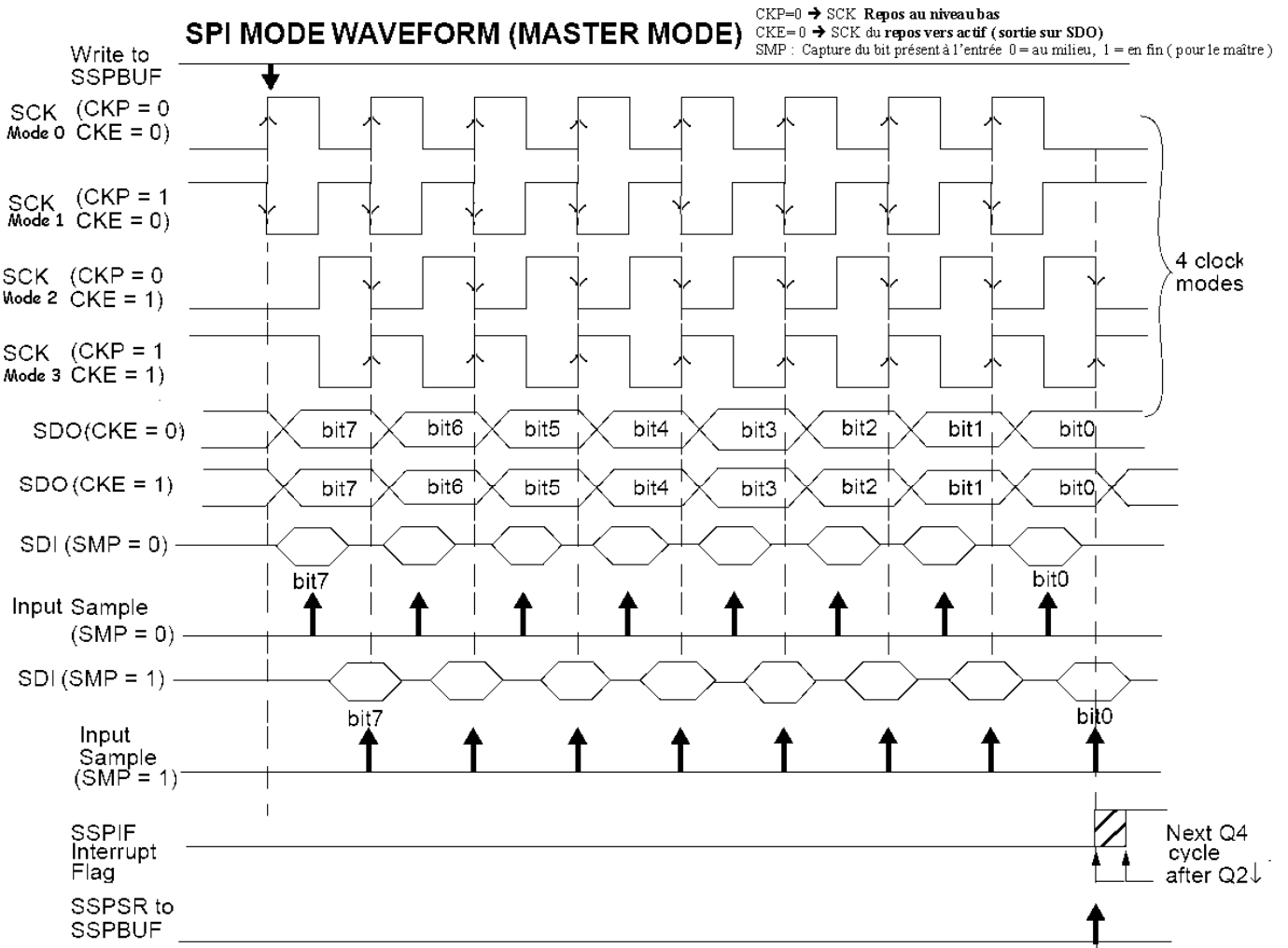
b7 : SMP : SaMPle bit ( Capture du bit présent à l'entrée )  
 0 = au milieu, 1 = en fin ( pour le maître )  
 0 = au milieu pour l'esclave

**b6 : CKE : Clock Edge select ( donne le sens de transition de SCK accompagnant le placement du 1<sup>er</sup> bit à envoyer sur la sortie SDO du maître )**  
**0 = repos vers actif, 1 = actif vers repos**  
**Début d'un cycle**

b0 : BF : Buffer Full ( Donne l'état du Buffer de réception )  
 0 = buffer vide, 1 = octet reçu

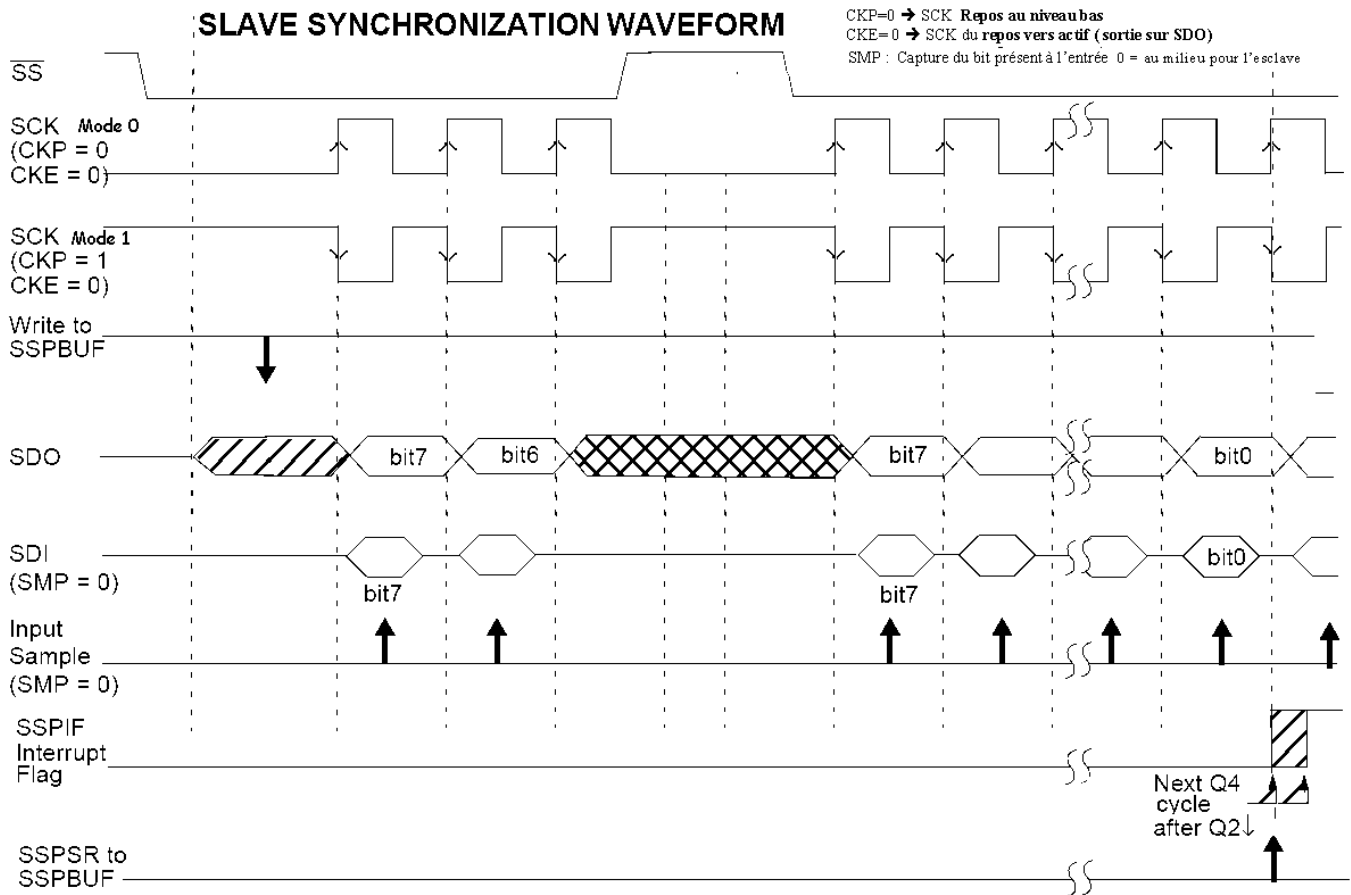
### 4) LE MODE SPI MAITRE

#### 4.1) Emission-Réception d'un octet par le maître



**La donnée est transmise/reçue dès que le registre SSPBUF est écrit.**

## 4.2 ) Emission-Réception d'un octet par l'esclave



Vous constatez cette fois que, puisque l'esclave place son bit au milieu du cycle, il vous faudra attendre la fin de celui-ci (qui coïncide au début du cycle suivant) pour procéder à la capture du bit concerné. Ceci imposera donc de configurer **SMP du maître à « 1 »**.

## 4.3 ) Conclusion

Vous vous souviendrez donc que :

- Le maître place toujours sa donnée en début de cycle
- On en déduit que l'esclave lira toujours la donnée en milieu de cycle
- L'esclave peut placer sa donnée, soit en début, soit en milieu de cycle
- Ceci implique que le maître lira la donnée reçue, soit en milieu, soit en fin de cycle.

**Les entrées- sorties des ports doivent être paramétrées.**

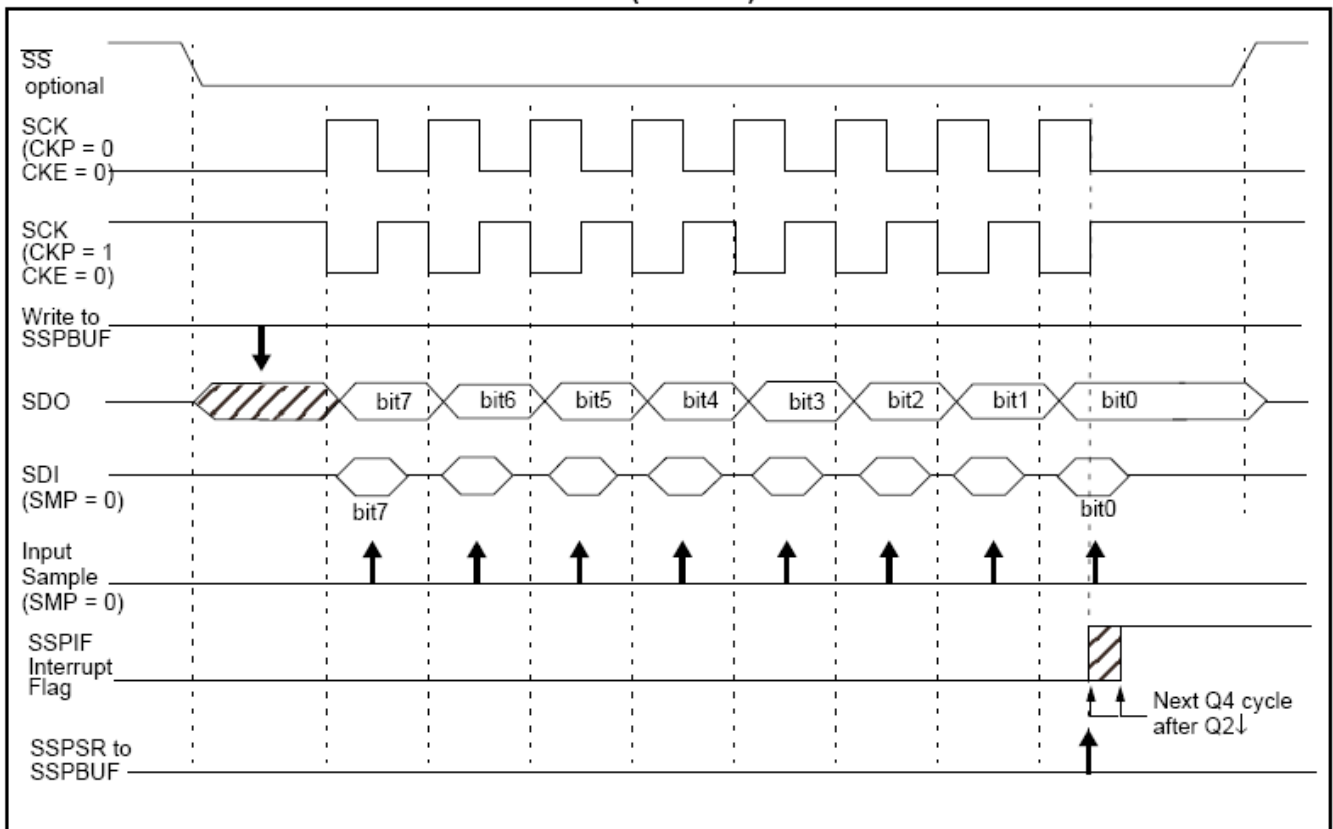
## 5 ) LE MODE SPI SLAVE

Ce mode (slave ou esclave) présente la particularité de subir l'horloge de synchronisation au lieu de l'imposer. Ceci va induire des contraintes différentes, contraintes paramétrées de nouveau par les mêmes registres que pour le mode « master ».

### 5.1 ) SS non obligatoire (CKE=0) (Mode esclave du PIC 16F876)

Si CKE vaut 0, le PIC esclave détecte le début de la transmission au moment de la détection du premier flanc actif de SCK.

FIGURE 9-8: SPI SLAVE MODE WAVEFORM (CKE = 0)



### 5.2) $\overline{SS}$ obligatoire (CKE=1)

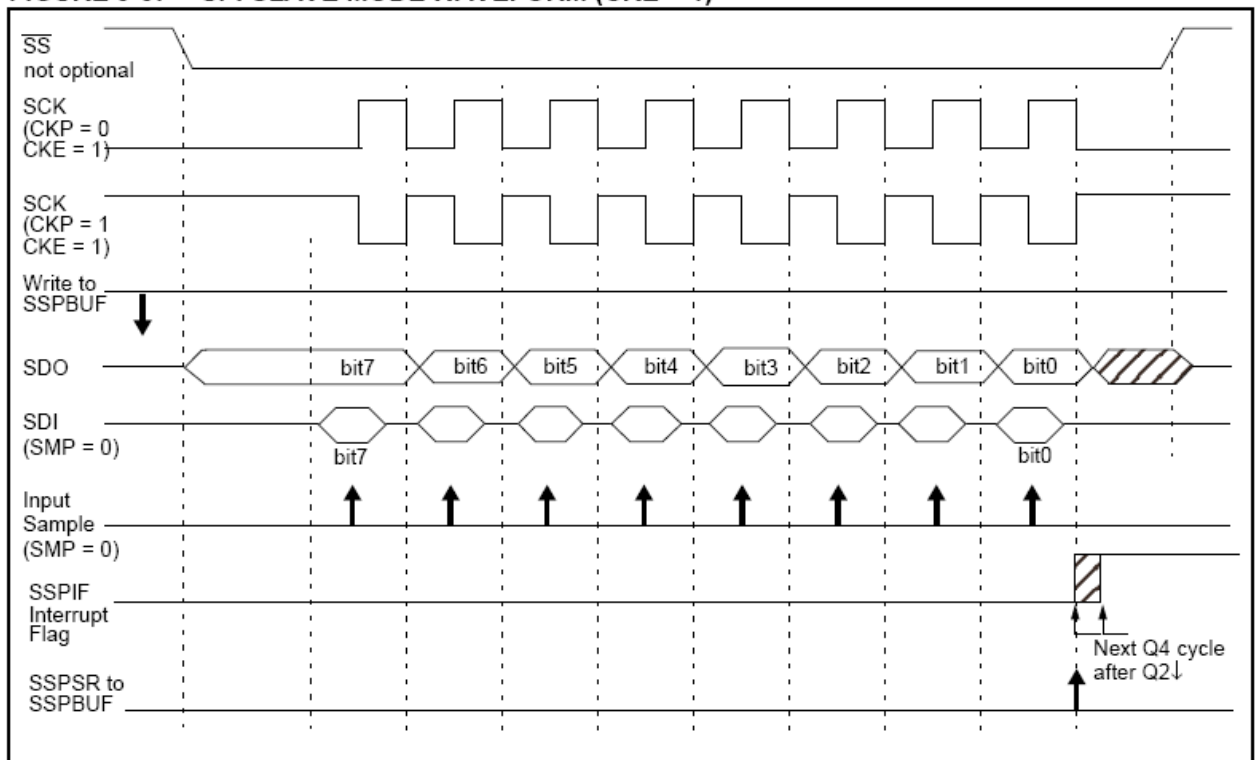
Dans ce cas, le placement de la valeur en sortie de l'esclave s'effectue sur la transition entre le niveau actif et le niveau de repos de SCK.

Malheureusement, il va de soi que la première transition, concernant le bit 7, arrive trop tardivement, rendant impossible la lecture des 8 bits par le maître (le bit0 ne serait pas lu)

La solution trouvée est de se servir de la ligne de sélection  $\overline{SS}$ , dont le passage à l'état bas remplace la première transition manquante de SCK.

Le premier bit sera donc placé par l'esclave au moment de la sélection de celui-ci via la pin  $\overline{SS}$ .

FIGURE 9-9: SPI SLAVE MODE WAVEFORM (CKE = 1)



Il va donc de soi que dans cette configuration, la ligne  $\overline{SS}$  devient indispensable au fonctionnement de l'ensemble.

**Les entrées-sorties des ports doivent être paramétrées.**

### 5.3) Remarque concernant la configuration SPI esclave de PICC

La patte  $\overline{SS}$  est inhibée par le wizard (CKE=0)

## 6) VITESSES DE TRANSMISSION

$f_{TRANSMISSION} = f_{OSC} / 64$  ou  $f_{OSC} / 16$  ou  $f_{OSC} / 4$  soit 312,5kHz ou 1,25MHz ou 5MHz avec un quartz 20MHz